

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-198500

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/768

(21)Application number : 2000-398132

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.12.2000

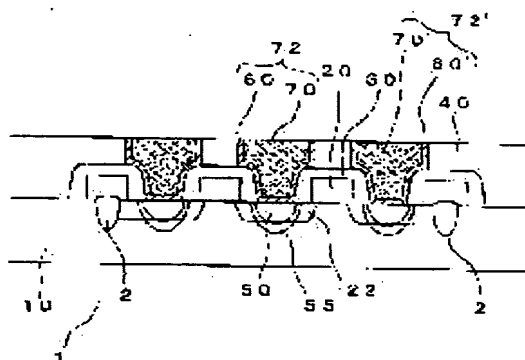
(72)Inventor : MATSUMURA AKIRA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for reducing direct contact resistance, keeping a punch-through margin, performing high energy SAC injection and reducing junction leakage.

SOLUTION: This semiconductor integrated circuit device is provided with a substrate, a transistor formed on the substrate and composed of a source, a drain and a gate controlling a current flowing from the source to the drain and a contact plug electrically connected to at least one of the source and the drain and formed of a conductive material containing dopant. The contact plug is formed of at least a first layer and a second layer. The first layer is in contact with one of the source and the drain, and is formed of a material containing the dopant of a first density. The second layer is formed of the layer of the material containing the dopant of a second density. The first density is higher than the second density, and such a semiconductor integrated circuit device or the like is provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-198500

(P2002-198500A)

(49) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.

識別記号

F 1

H 0 1 L 27/10

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 Z 5 F 0 3 8

21/5242

21/80

C 5 F 0 8 8

21/768

D

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号

特願2000-398132(P2000-398132)

(71) 出願人

000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成12年12月27日 (2000.12.27)

(72) 発明者

松村 明

東京都千代田区丸の内二丁目2番8号 三

菱電機株式会社内

(74) 代理人

100062144

弁護士 青山 薫 (外2名)

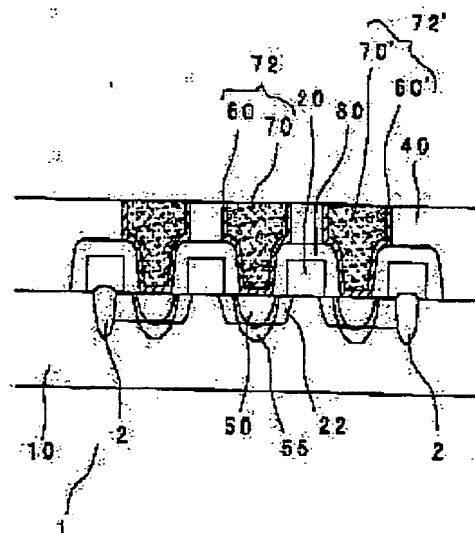
最終頁に続く

(54) 発明の名称 半導体集積回路装置およびその製造方法

(57) 要約

【課題】 直接コンタクト抵抗を低減させ、およびパシブスルーマージンを保って高エネルギーSAC注入を行い、接合リークを低減する技術を提供する。

【解決手段】 基板と、基板上に形成されたトランジスタであって、ソース、ドレイン、および、ソースからドレインへ流れる電流を制御するゲートからなるトランジスタと、ソースおよびドレインの少なくとも一方と電気的に接続され、ドーパントを含む導電性の材料から形成されたコンタクトプラグとを備えた半導体集積回路装置であって、コンタクトプラグは少なくとも第1の層および第2の層から形成され、第1の層は、ソースおよびドレインの一方と接し、第1の濃度のドーパントを含む材料により形成された層であり、第2の層は、第2の濃度のドーパントを含む材料の層から形成された層であり、第1の濃度は、第2の濃度よりも高い。半導体集積回路装置等を提供する。



【特許請求の範囲】

【請求項1】 基板と、

基板上に形成されたトランジスタであって、ソース、ドレイン、および、前記ソースから前記ドレインへ流れる電流を制御するゲートからなるトランジスタと、
ソースおよびドレインの少なくとも一方と電気的に接続され、ドーパントを含む導電性の材料から形成されたコンタクトプラグとを備えた半導体集積回路装置であって、

前記コンタクトプラグは少なくとも第1の層および第2の層から形成され、前記第1の層は、前記ソースおよびドレインの一方と接し、第1の濃度のドーパントを含む前記材料により形成された層であり、前記第2の層は、第2の濃度のドーパントを含む前記材料の層から形成された層であり、前記第1の濃度は、前記第2の濃度よりも高い、半導体集積回路装置、

【請求項2】 前記ソースおよびドレインの一方は、第1のエネルギー、および、第1のエネルギーよりも高い第2のエネルギーでイオンが注入された領域であり、

前記第2のエネルギーで注入されたイオンは、前記第1の層を介して注入されたイオンである、請求項1に記載の半導体集積回路装置、

【請求項3】 前記基板の前記ソースおよびドレインの一方には、凹部が形成されており、前記第2のエネルギーで注入されたイオンは、さらに前記凹部を介して注入されたイオンである、請求項2に記載の半導体集積回路装置、

【請求項4】 前記材料は、リン（P）ドーパドポリシリコンである、請求項1に記載の半導体集積回路装置、

【請求項5】 前記イオンは、リン（P）イオンである、請求項2に記載の半導体集積回路装置、

【請求項6】 基板を提供するステップと、
ソース、ドレイン、および、前記ソースから前記ドレインへ流れる電流を制御するゲートからなるトランジスタを形成するステップと、

前記ソースおよびドレインの一方の上に、第1の濃度のドーパントを含む導電性の材料により第1の層を形成するステップと、

前記第1の層の上に、第2の濃度のドーパントを含む前記材料により第2の層を形成して、前記第1の層および第2の層からなるコンタクトプラグを形成するステップであって、前記第1の濃度は、前記第2の濃度よりも高いステップとからなる半導体集積回路装置の製造方法、

【請求項7】 第1の層を形成する前記ステップは、ソースおよびドレインの少なくとも一方に、第1のエネルギーでイオンを注入した後に、前記第1の層を形成するステップであり、

コンタクトプラグを形成する前記ステップは、前記第1の層を介して、前記第1のエネルギーよりも高い第2のエネルギーでイオンを注入した後に、前記第2の層を形

成するステップである、請求項6に記載の製造方法、

【請求項8】 第2のエネルギーでイオンを注入する前記ステップは、

前記ソースおよびドレインの一方をエッチングして、前記基板に凹部を形成するステップと、さらに前記凹部を介して、前記第2のエネルギーでイオンを注入するステップとからなる、請求項6に記載の製造方法、

【請求項9】 前記材料は、リン（P）ドーパドポリシリコンである、請求項6に記載の製造方法、

【請求項10】 前記イオンは、リン（P）イオンである、請求項8に記載の製造方法、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主としてDRAM（Dynamic Random Access Memory）の各素子における、ビット線コンタクトおよびストレージノードコンタクトを製造する技術に関する、

【0002】

【従来の技術】 図1-2は、従来の製造方法によりポリプラグ1-25-1および1-25-2を形成したシリコン基板1-20を示す。ポリプラグ1-25-1は、例えばDRAMの記憶素子としてのデータを蓄えるメモリキャパシタの電極（ストレージノード）とのコンタクト、および、ポリプラグ1-25-2は、ビット線とのコンタクトを確保するためのプラグである、

【0003】 シリコン基板1-20の製造工程を簡単に説明すると、まずシリコン基板1-20上にトランジスタが形成される。図には、トランジスタの一部としてのゲート電極1-21を示す。続いてサイドウォール1-22、絶縁層間膜1-23が形成され、SAC（Self Aligned Contact）エッチングによりゲート電極1-21の両側に2つのコンタクトホールを開く。コンタクトホールが開くと、そこへリン（P）をSAC注入してn-領域1-24-1および1-24-2を形成する。最後にそのコンタクトホールにリン（P）ドーパドポリシリコンを堆積することにより、ポリプラグ1-25-1および1-25-2が形成される、

【0004】

【発明が解決しようとする課題】 DRAMの微細化に伴ってメモリセルのコンタクトプラグのプラグ径が縮小し、DRAMの電流駆動能力（I_{ds}）が低下するという問題が生じている。ポリプラグとn-領域との間の直接コンタクト抵抗が増加するからである、

【0005】 また、従来の製造工程では、n-領域1-24-1および1-24-2が互いに近接して形成されるため、チャネル方向へのパシスル・マージンを十分取ることができない。より具体的に説明すると、リン（P）をSAC注入してシリコン基板上にn-領域1-24-1および1-24-2を形成する際、n-領域はゲート電極1-21が存在する横方向（チャネル方向）へ拡散する、

そのため、 n -領域が互いに近接して形成され、パンチスルーを生じる恐れがある。ここで、「パンチスルー」とは、トランジスタのドレイン空乏層がソースに近づいてドレイン空乏層とソース空乏層とがつながることにより、ソース・ドレイン間で電流が流れたままになる現象をいう。したがって、「パンチスルー・マージン」とは、パンチスルーを起こさないための余裕（マージン）をいう。

【0006】さらに、パンチスルー・マージンが十分に取れないということは、より高いエネルギーでリン（P）のSAC注入ができないことを意味する。高エネルギーでSAC注入を行うと、 n -領域のチャネル方向への広がりが一層大きくなるからである。P-ウェルと n -領域とのPN接合のリークが、より高いエネルギーによるSAC注入で低減されることになれば、従来の製造工程では、これ以上DRAMの性能を向上できない。

【0007】上述のようにメモリセルのトランジスタのパフォーマンスが低下すると、DRAMのデータ書き込み、読み出し・マージンも低下させ、リフレッシュ特性（主にリフレッシュサイクル時間）にも大きな影響を及ぼすことになる。

【0008】本発明の目的は、直接コンタクト抵抗を低減させること、およびパンチスルー・マージンを保って高エネルギーSAC注入を行い、接合リークを低減することである。

【0009】

【課題を解決するための手段】本発明による半導体集積回路装置は、基板と、基板上に形成されたトランジスタであって、ソース、ドレイン、および、前記ソースから前記ドレインへ流れる電流を制御するゲートからなるトランジスタと、ソースおよびドレインの少なくとも一方と電気的に接続され、ドーパントを含む導電性の材料から形成されたコンタクトプラグとを備えた半導体集積回路装置であって、前記コンタクトプラグは少なくとも第1の層および第2の層から形成され、前記第1の層は、前記ソースおよびドレインの一方と接し、第1の温度のドーパントを含む前記材料により形成された層であり、前記第2の層は、第2の温度のドーパントを含む前記材料の層から形成された層であり、前記第1の温度は、前記第2の温度よりも高い、半導体集積回路装置であり、これにより上記目的が達成される。

【0010】前記ソースおよびドレインの一方は、第1のエネルギー、および、第1のエネルギーよりも高い第2のエネルギーでイオンが注入された領域であり、前記第2のエネルギーで注入されたイオンは、前記第1の層を介して注入されたイオンであってもよい。

【0011】前記基板の前記ソースおよびドレインの一方には、凹部が形成されており、前記第2のエネルギーで注入されたイオンは、さらに前記凹部を介して注入されたイオンであってもよい。

【0012】前記材料は、リン（P）ドーパドポリシリコンであってもよい。

【0013】前記イオンは、リン（P）イオンであってもよい。

【0014】本発明の半導体集積回路装置の製造方法は、基板を提供するステップと、ソース、ドレイン、および、前記ソースから前記ドレインへ流れる電流を制御するゲートからなるトランジスタを形成するステップと、前記ソースおよびドレインの一方の上に、第1の温度のドーパントを含む導電性の材料により第1の層を形成するステップと、前記第1の層の上に、第2の温度のドーパントを含む前記材料により第2の層を形成して、前記第1の層および第2の層からなるコンタクトプラグを形成するステップであって、前記第1の温度は、前記第2の温度よりも高いステップとからなる半導体集積回路装置の製造方法であり、これにより上記目的が達成される。

【0015】第1の層を形成する前記ステップは、ソースおよびドレインの少なくとも一方に、第1のエネルギーでイオンを注入した後に、前記第1の層を形成するステップであり、コンタクトプラグを形成する前記ステップは、前記第1の層を介して、前記第1のエネルギーよりも高い第2のエネルギーでイオンを注入した後に、前記第2の層を形成するステップであってもよい。

【0016】第2のエネルギーでイオンを注入する前記ステップは、前記ソースおよびドレインの一方をエッチングして、前記基板に凹部を形成するステップと、さらに前記凹部を介して、前記第2のエネルギーでイオンを注入するステップとからなってもよい。

【0017】前記材料は、リン（P）ドーパドポリシリコンであってもよい。

【0018】前記イオンは、リン（P）イオンであってもよい。

【0019】

【発明の実施の形態】以下、添付の図面を参照して、本発明の実施の形態を説明する。

【0020】（実施の形態1）図1は、実施の形態1による半導体集積回路装置1の断面図を示す。半導体集積回路装置1は、DRAM（Dynamic Random Access Memory）として適用可能な集積回路装置である。例えば、図ではトランジスタ部分のみが示されているが、半導体集積回路装置1は他の図示されない構成要素（ビット線、ワード線、メモリキャパシタ等）をともに、DRAMのメモリセルを構成できる。

【0021】本実施の形態による半導体集積回路装置1の特徴は、基板10と接し、かつ高温度のドーパントを含む材料により形成された薄い層60と、通常の温度のドーパントを含む材料により形成された層70からなるリン（P）ドーパドポリシリコンを用いてコンタクトプラグ2を形成したことである。これにより、基板界面

のリン濃度が高くなるので、直接コンタクト抵抗を下げる
ことができる。また、薄い層60を形成した後、その
層60を介して高エネルギーでリン(P)イオンをSAC
に注入するので、チャネル方向のバリスルマー
を保つことができ、接合リークを低減できる。なお、本
明細書でいう「接合リーク」とは、メモリセル内のP
ウェルと、トランジスタのソース・ドレインを形成する
n-領域とのPN接合からの電流のリークをいう。

【0022】半導体集積回路装置1は、P型シリコン基
板10と、複数のトランジスタと、素子分離領域2と、
サイドウォール30と、層間膜40と、コンタクトブラ
グ72を含む。以下、各構成要素について説明する。

【0023】基板10上には、リン(P)のイオンが異
なるエネルギーで2度注入(SAC: Self Aligned Con
tact)注入されている。SACの注入とは、マスクに既
にできあがったコンタクト部分を自己整合的に用いて不
純物を注入することをいう。不純物を注入することによ
り、コンタクトプラグの表面抵抗を低減できる。SAC
注入によれば、マスク合わせのマージンを小さくでき、
回路が微細化できる。2度のイオン注入により、基板1
0上には、従来の通常用いられているエネルギーによ
る注入で形成されたn-領域50と、従来のより高エネ
ルギーによる注入で形成されたn-領域領域55とが存
在する。n-領域50および55の形成過程は、後に詳
述する。

【0024】複数のトランジスタは、ここではNチャ
ネル型金属酸化膜半導体電界効果トランジスタ(Nチャ
ネル型MOSFET)とする。このトランジスタは、デー
タを蓄えるメモリキャパシタ部(図示せず)とビット線
(図示せず)との間に設けられ、データの輸送を制御す
るためのトランジスタであり、トランスファーゲートと
も呼ばれる。複数のトランジスタの各々は、ゲート20
と、ソース(またはドレイン)としてのn-領域22を
含む。簡略化のために参照符号は付していないが、ゲ
ート20を挟んで基板10上の反対側の領域が、ドレイン
(またはソース)である。図面では、複数のゲート20
が示されているが、本明細書では、主に参照符号が付さ
れたゲート20と、n-領域22とに関連するトランジ
スタに着目して説明する。なお、図面ではゲート20は、
単一の材料から形成されているように示されているが、
言うまでもなく、基板10と接するように酸化物の層が
存在し、その上に金属の層が堆積されている。

【0025】素子分離領域2は、複数のトランジスタ相
互を電気的に絶縁するために、例えば、TEOS(Tetra
ethyl Ortho Silicate)等を用いて形成される。

【0026】サイドウォール30は、ゲート20の横お
よび上面を覆うように設けられた絶縁膜をいう。サイ
ドウォール30によれば、Nチャネル型MOSFETのホ
ットキャリアによる特性変動を防止できる。その材料
は、例えば、窒化シリコン(Si₃N₄)である。

【0027】層間膜40は、コンタクトプラグ72が別
のコンタクトプラグ等と電気的に接続しないように設け
られた層間絶縁膜である。その材料は、例えば、BPT
EOS(Boro-Phospho-Tetra-Ethyle Ortho Silicate)
であり、比較的低い温度で平坦性を得ることができる。

【0028】コンタクトプラグ72は、例えばDRAM
の記憶素子としてのデータを蓄えるメモリキャパシタの
電極(ストレージノード)(図示せず)とのコンタク
ト、またはDRAMのビット線(図示せず)とのコンタ
クトを確保するためのプラグである。例えば、コンタク
トプラグ72は、ストレージノードとのコンタクトを
確保するコンタクトプラグであり、その左側に示された
コンタクトプラグ72はビット線(図示せず)とのコン
タクトを確保するためのコンタクトプラグである。本実
施の形態では、コンタクトプラグはリン(P)ドーパ
ントシリコンにより形成される。上述のように、本実施
の形態によるコンタクトプラグ72、72'は、基板1
0と接し、かつ高濃度のドーパントを含む材料により形
成された薄い層60および60'と、通常の濃度のドー
パントを含む材料により形成された層70および70'
とから形成されている。以下図2〜図8を参照して、こ
れらの層の形成過程を説明する。なお以下の説明では、
図1のコンタクトプラグ72の形成のみを説明する。図
示されるような、複数のコンタクトプラグが存在する場
合であっても、並列的に以下説明する処理を行えば、同
じ基板10上に全く同じコンタクトプラグが同時に形成
できる。

【0029】図2は、ゲート20-1および20-2が
形成された基板10を示す。ゲートは、例えば、以下の
ような工程により形成される。まず、P型シリコン基板
10上に薄い絶縁膜(SiO₂)が堆積され、さらにそ
の上にAl、Au等または他結晶シリコンが堆積され
る。そして、エッチングによりゲート20-1および2
0-2以外の部分が除去される。そして、次に基板10
に不純物濃度の高いn-領域(電極)22を埋め込む。
これには例えば、P(リン)イオンが利用される。図示
されないが、n-領域22に近接した位置に、もう1つ
n-領域が形成される。これらはそれぞれトランジスタ
のソースおよびドレインとなる。このようにしてゲート
20-1および20-2およびソース(またはドレイ
ン)電極22が形成される。

【0030】図3は、ゲート20-1および20-2の
上に堆積された絶縁膜30と、さらにその上に堆積され
た層間膜40とを示す。絶縁膜30は、後にサイドウォ
ール30(図1)を形成する膜である。層間膜40は、
平坦化されていることが理解される。そして、このよ
うな基板10に対して次にリソグラフィおよびSACエ
ッチングが行われる。図4は、リソグラフィおよびSAC
エッチングによりコンタクトホールが開いた基板10
を示す。コンタクトホールは、基板10上のn-領域2

2. サイドウォール30-1、30-2、および、層間膜40-1および40-2により囲まれた部分である。

【0031】続いて図5は、リン(P)イオンのSAC注入により形成されたn-領域50を示す。SAC注入は、従来行われていたエネルギー条件で行う。よって、従来の例を示すn-領域124-1および124-2

(図12)と同じn-領域が形成される。n-領域50は、n-領域22と重なるように、基板10の表面および内面に形成される。

【0032】図6は、さらに高温度のリン(P)ドーパントポリシリコン層60を薄く堆積した基板10を示す。高温度のリン(P)ドーパントポリシリコンを堆積する理由は、基板10との界面部分のリン濃度が上がるので、直接コンタクト抵抗を低減できるからである。この後、この後、薄く堆積した層60を介して高エネルギーでリン(P)イオンがSAC注入される。これは、薄く堆積した層60が存在する状態で、その層60越しにイオン注入が行われることを意味する。このため、「薄く」とは、高エネルギーのリンイオンがその膜を十分通過できる程度に薄くということの意味である。高エネルギーのイオン注入であることから、生成されたn-領域55は、1回目のSACの注入で形成されたn-領域50よりも基板10の内部深くにまで到達する。n-領域55もn-領域50と同様、n-領域22と重なるように形成される。ここで重要なのは、堆積した層60越しに2回目のイオン注入したことから、n-領域55はチャネル方向(ゲート方向)への拡散が少ないことである。したがって、基板10ではパシスルーマージンを保ちつつ、高エネルギーのイオン注入ができるので、接合リークを低減できる。また接合リークを低減することにより、DRAMとして用いられた場合にはリフレッシュ特性が向上する。より具体的には、リフレッシュサイクル時間の間隔が長くなる。

【0033】図7は、従来用いられている濃度のリン(P)ドーパントポリシリコン層70を堆積した基板10を示す。「従来用いられている濃度」とは、ポリグラフ125-1および125-2(図12)の形成に用いられるリン(P)ドーパントポリシリコンと同等の濃度をいう。ここで、層60のリン(P)ドーパントポリシリコンの濃度の方が、層70の濃度よりも高いことに留意されたい。

【0034】図8は、堆積した層60および70にエッチバックを行い、さらに化学的機械研磨(CMP: Chemical Mechanical Polishing)を行った基板10を示す。エッチバックとは、凹凸ができた表面に塗布膜を形成し、塗布膜と下地膜(ここでは層60および70)のエッチング速度が等しくなる条件でドライエッチングして、下地膜の表面を平坦にする手法である。

【0035】以上の工程により、半導体集積回路装置1(図1)を得ることができる。これにより、基板10の

界面のリン濃度が上がるので、直接コンタクト抵抗を下げるができる。また、チャネル方向のパシスルーマージンを保つことができ、かつ接合リークを低減できる。

【0036】(実施の形態2) 実施の形態2では、実施の形態1よりも接合リークが低減する半導体集積回路装置の製造工程を説明する。ただし、実施の形態1で説明した図5までの処理は本実施の形態の工程と共通であるので、その説明は省略する。

【0037】図9は、実施の形態2によるリセス90が入った基板11を示す。「リセス」とは、ソースおよびドレインの一方に設けられた基板の凹部である。リセスは、図6の場合と同様、高温度のリン(P)ドーパントポリシリコン層61を薄く堆積し、エッチバックを行うことにより得ることができる。エッチバックは、基板に凹部が形成されるように行う。なお、層61はさらにサイドウォールを形成する。基板11にリセスが入った後は、2回目のSACの注入を行う。このSAC注入は、既に形成された高温度のリン(P)ドーパントポリシリコン層61のみならず、基板の凹部を介して行われる。基板11にリセスが存在することから、2回目のSAC注入により形成されるn-領域56は、実施の形態1の2回目のSAC注入よりも基板10の内部深くにまで到達することが理解される。これにより接合リークをさらに低減できる。

【0038】図10は、実施の形態2によるリセス90が入った基板11を用いた半導体集積回路装置110を示す。2回目のSAC注入の後は、従来用いられている濃度のリン(P)ドーパントポリシリコン層71を堆積し、エッチバックおよび化学的機械研磨を行えばよい。これにより、さらにリセス90にもリン(P)ドーパントポリシリコン層71が存在することとなる。

【0039】上述の基板リセス90(図9)は、さらに深くしてもよい。図11は、より深いリセス91を有する半導体集積回路装置110を示す。リセス91は、リセス90(図9)よりも深いことから、2回目のSAC注入により形成されるn-領域57は、リセス90(図9)が存在する場合よりも基板のさらに内部まで到達することが理解される。これにより接合リークがさらに低減する。このときも、さらにリセス91にもリン(P)ドーパントポリシリコン層が存在することとなる。

【0040】以上、本発明の実施の形態を説明した。本明細書では、P型シリコン基板を用いてNチャネル型MOSFETを製造する工程を説明した。しかし、この工程は、例えばCMOSFETを製造する工程でも適用できる。その場合には、上述のP型シリコン基板は、N型シリコン基板に形成されるPウェルに相当する。

【0041】

【発明の効果】 第1の層(高温度のリン(P)ドーパントポリシリコン層)が、基板との界面に存在し、ソース

およびドレインと接するので、基板界面の材料の温度が上がり、よって直接コンタクト抵抗を下げる事ができる。

【0.0.4.2】第1の層（高し温度のリン（P）ドーパドポリシリコン層）を介して、高いエネルギーでリン（P）イオンの注入を行うので、n-領域のチャネル方向の拡散を抑えることができる。よってチャネル方向のバンスルーマージンを保ちつつ、接合リークを低減するための、高エネルギーによるイオン注入が実現できる。

【0.0.4.3】基板にリセス（凹部）を設け、リセスを介して高いエネルギーでリン（P）イオンの注入を行うので、基板のより深い位置までイオンが入り、接合リークを低減できる。

【図面の簡単な説明】

【図1】 実施の形態1による半導体集積回路装置の断面図である。

【図2】 ゲートが形成された基板を示す図である。

【図3】 ゲートの上に堆積された絶縁膜と、さらにその上に堆積された層間膜とを示す図である。

【図4】 リソグラフィおよびSACエッチングによりコンタクトホールが開いた基板を示す図である。

【図5】 リン（P）イオンのSAC注入により形成さ

れたn-領域を示す図である。

【図6】 さらに高温度のリン（P）ドーパドポリシリコン層を薄く堆積した基板を示す図である。

【図7】 従来用いられている温度のリン（P）ドーパドポリシリコン層を堆積した基板を示す図である。

【図8】 堆積した層にエッチバックを行い、さらに化学的機械研磨を行った基板を示す図である。

【図9】 実施の形態2によるリセスが入った基板を示す図である。

【図10】 実施の形態2によるリセスが入った基板を用いた半導体集積回路装置を示す図である。

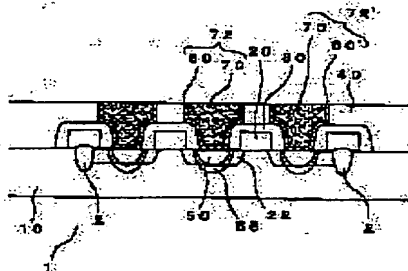
【図11】 より深いリセスを有する半導体集積回路装置を示す図である。

【図12】 従来の製造方法によりポリプラグを形成したシリコン基板を示す図である。

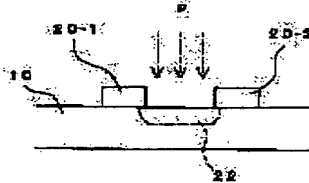
【符号の説明】

1 半導体集積回路装置、10 基板、20 ゲート、22 n-領域、30 サイドウォール、40 層間膜、50、55 n-領域、60 高温度のドーパントを含む材料により形成された薄い層、70 通常の温度のドーパントを含む材料により形成された層、72 コンタクトプラグ

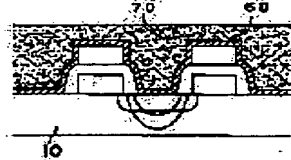
【図1】



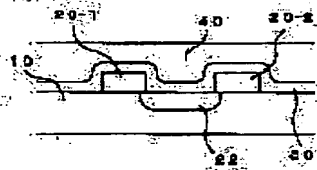
【図2】



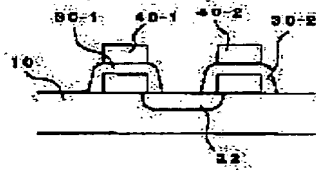
【図7】



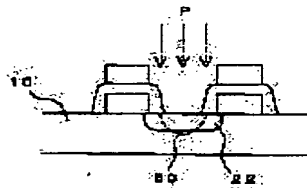
【図3】



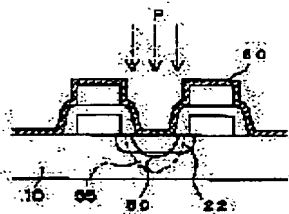
【図4】



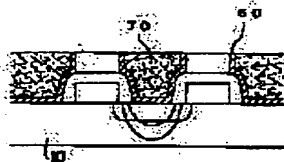
【図5】



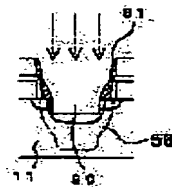
【図6】



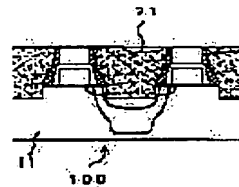
【図8】



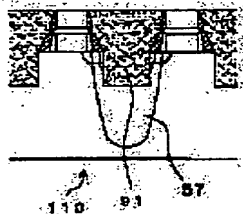
【図9】



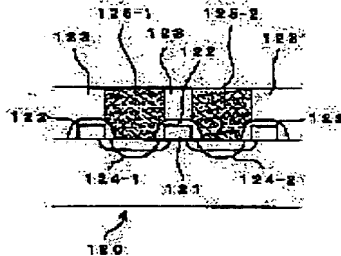
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5F033 HH04 HH08 HH19 JJ04 KK01
 QQ08 QQ09 QQ10 QQ31 QQ37
 QQ48 QQ58 QQ65 RR04 RR06
 SS04 TT08 WW06 WW10 WW16
 XX03 XX09
 5F083 GA02 GA06 HA03 HA05 HA06
 HA17 MA20 NA01 NA08 PR39
 PR40